

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-010427
 (43)Date of publication of application : 16.01.1990

(51)Int.Cl. G06F 7/00
 G06F 7/38
 G06F 7/50
 G06F 7/52
 G06F 9/38

(21)Application number : 01-045523 (71)Applicant : MIPS COMPUTER SYST INC
 (22)Date of filing : 28.02.1989 (72)Inventor : HANSEN CRAIG C

(30)Priority

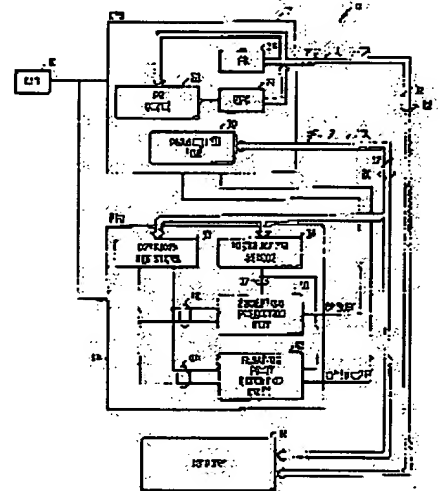
Priority number : 88 161543 Priority date : 29.02.1988 Priority country : US

(54) METHOD AND DEVICE FOR PRECISE FLOATING POINT EXCEPTION

(57)Abstract:

PURPOSE: To deal with a precise floating point exception in a pipeline-type architecture by comparting the exponent field of an operand on an operation with prescribed reference at the time of encountering a floating point instruction and predicting where the floating point exception is generated or not.

CONSTITUTION: The exponent field of the operand, which FPU 14 receives, is transmitted from an operand register 36 to an exception prediction unit 38. All the operands are supplied to a floating point execution unit 42. Then, it is decided whether floating point operation which is obtained as the result of the operation of the exception prediction unit 38 becomes an exception or not. When it becomes the exception, a CPBUSY signal supplied to CPU 14 is generated. The floating point execution unit 42 executes the actual operation and an INTERRUPT signal is supplied to CPU 14 when the exception occurs as the result.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑬ Int. Cl.⁹

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)1月16日

G 06 F 7/00
7/38
7/50
7/52
9/38

3 1 0
3 8 0

Y
L
C
B

7056-5B
7056-5B
7056-5B
7361-5B
7313-5B

G 06 F 7/00 1 0 1 Z

審査請求 未請求 請求項の数 4 (全11頁)

⑮ 発明の名称 精密浮動小数点例外用の方法及び装置

⑯ 特 願 平1-45523

⑰ 出 願 平1(1989)2月28日

優先権主張 ⑱ 1988年2月29日 ⑲ 米国(U S) ⑳ 161,543

㉑ 発 明 者 クレイグ シイ。ハン アメリカ合衆国、カリフォルニア 94043、マウンテン
セン ビュー、フォーレスト グレン 18
㉒ 出 願 人 ミツプス コンピュー アメリカ合衆国、カリフォルニア 94086、サニーベル、
タ システムズ、イン アルケス アベニュー 930
コーボレイテッド
㉓ 代 理 人 弁理士 小 橋 一 男 外1名

明 細 書

1. 発明の名称

精密浮動小数点例外用の方法及び装置

2. 特許請求の範囲

1. 各々が指徴フィールドと小数フィールドとを保持している少なくとも第1及び第2オペランドに因して浮動小数点演算を行うことが可能なタイプのデータ処理システムにおける浮動小数点例外を予測する方法において、前記第1及び第2オペランドの指徴フィールドの組合せを実行されるべき演算から形成される所定の基準と比較し、前記演算の実行が浮動小数点例外を発生する蓋然性があることを検出する例外予測信号を発生する、上記各ステップを有することを特徴とする方法。

2. プロセサユニットの1つが各々が指徴フィールドと小数フィールドとを保持している第1及び第2オペランドに因して浮動小数点演算を実行すべく動作可能であり且つ他のプロセサユニットが前記1つのプロセサユニットにより実行される浮動小数点演算と並列的に他のデータ処理作業を

実行すべく動作可能である少なくとも一対のプロセサユニットを保持したタイプのデータ処理システムにおける浮動小数点演算例外を予測する方法において、前記1つのプロセサユニットによって実行されるべき浮動小数点演算の各員になったタイプに対して浮動小数点例外発生基準を形成し、前記第1及び第2オペランドの指徴フィールドの組合せを実行されるべき浮動小数点演算に対しての基準と比較し、使用した基準に従って前記比較ステップが例外が発生する蓋然性を検出場合に浮動小数点例外予測信号を発生し、前記浮動小数点例外予測信号の存在に反応して前記他方のプロセサユニットの動作を一時的に停止させる、上記各ステップを有することを特徴とする方法。

3. 処理装置が各オペランドが指徴フィールドと小数フィールドとを保持している少なくとも2つのオペランドに因する浮動小数点演算を実行する為の浮動小数点命令に反応して動作可能な演算装置を具備しており命令が段階的にデコードされ且つ実行されるパイプライン型アーキテクチャ

一を持ったタイプのデータ処理システムにおける浮動小数点加算、減算、乗算、及び除算演算に対する浮動小数点例外を予測する装置において、前記2つのオペランドの指数フィールドを前記オペランドに関して実行されるべき浮動小数点演算によって決定される基準と比較してそれから浮動小数点例外の発生する蓋然性を表す予測信号を発生する手段、前記予測信号にตอบสนองして前記浮動小数点演算の完了迄前記データ処理システムの動作を停止させる手段、浮動小数点例外が発生した時に前記演算の完了時に割込み信号を発生する手段、前記浮動小数点例外を取り扱い且つ前記浮動小数点命令の再実行と共に前記データ処理システムの動作を再開させる手段、を有することを特徴とする装置。

4. 1つのプロセサユニットは各々が指数フィールドと小数フィールドとを持った第1及び第2オペランドに関して浮動小数点演算を実行すべく動作可能であり他のプロセサユニットが浮動小数点演算と並列して他のデータ処理作業を実行す

ブライン型アーキテクチャーを持っており且つ浮動小数点演算を包含するデータ処理装置に関するものであって、更に詳細には、この様なパイプライン型アーキテクチャーにおいて精密浮動小数点例外を取り扱う方法及び装置に関するものである。
従来技術

今日の演算乃至は計算装置、特に科学及び工学において使用するものは、「浮動小数点」数字で演算乃至は計算を実施することが多々ある。浮動小数点数字の1つの利点は、数字の大きさの範囲が非常に大きく、例えば、固定小数点の場合に著しい困難性を伴って取り扱うことが可能なものよりも大きい場合に、演算乃至は計算を行うことが可能とするということである。数字の浮動小数点表示は、各々が基点（小数点）を持った通常の数字と該基点の整数部との積として表される「科学的表記法」として屢々呼称されるものと非常に密接に対応している。従って、例えば、ある数字は、

$$6318 \times 10^3$$

と表示することが可能である。この場合、631

べく動作可能である少なくとも一対のプロセサユニットを持ったタイプのデータ処理システムにおける浮動小数点演算例外を取り扱う装置において、前記1つのプロセサユニットが、前記浮動小数点オペランドを加算、減算及び乗算演算用の第1所定基準と比較し且つ前記比較が浮動小数点例外発生の蓋然性を表す場合に第1信号を発生する第1回路手段、前記第1及び第2オペランドの指数フィールドの組合せを浮動小数点乗算及び除算演算用の第2所定基準と比較し且つ前記比較が浮動小数点例外発生の蓋然性を表す場合に第2信号を発生する第2回路手段、前記第1又は第2信号が存在する場合に浮動小数点例外予測信号を供給する発生手段、を有しており、且つ前記他のプロセサユニットが前記浮動小数点例外予測信号の発生及びその期間中にตอบสนองして動作を停止する手段を有していることを特徴とする装置。

3. 発明の詳細な説明

技術分野

本発明は、大略、何等かの形態の並列又はパイ

8という数字は「小数」部と呼称され、且つ数字2は「指数」部と呼称される。デジタル表示においては、

0000.1100010101110

となり、最大桁ビットは符号であり、次の3つのビットは指数フィールドを形成し、且つ残りのビットは小数フィールドを形成する。

浮動小数点数字及び浮動小数点演算は固定小数点数字及び計算と比較して顕著な利点を与えるものであるが、問題がないわけではない。その様な問題の1つは、浮動小数点演算の結果の大きさが浮動小数点数字システムの能力を超える、即ち「オーバーフロー」する場合に発生することがある。この問題は、従来、浮動小数点「例外」と呼称されており、それが発生すると特別の処理を必要とする（例えば、適宜のエラーメッセージでプログラマーがテストする為に演算を停止させることが可能であることのインジケータの設定等）。

その他の例外としては、例えば「アンダーフロー」があり、これは受け入れるのに小さすぎる

(大きさ) ゼロでない結果が発生する様な場合に起こるものであり、更に、結果の大きさの為に、四捨五入を行わねばならずそのことが不正確性を発生する可能性がある様な「不正確」例外がある。

今日、浮動小数点例外が発生した場合に、それを取り扱う即ち処理する多くの方法及び技術が存在しており、それらは全て公知である。然し乍ら、パイプライン型アーキテクチャにおいて見られる如く何等かの並列処理を行うことが可能なデータ処理システムにおいて浮動小数点演算が使用される場合に、特定の問題が発生する。パイプライン型アーキテクチャは、通常、複数個の命令が全て同時に種々の実行段階にあるプロセッサ構成を包含している。浮動小数点命令が浮動小数点例外となると、該例外が再度発生することを回避する為にオペランドを調節した後にのみ該浮動小数点命令が再実行されることを必要とする特別の処理が必要とされる。然し乍ら、該浮動小数点命令を再実行する為には、データ処理装置は、いわば「バックアップ」されねばならず、それは、

行させることである。次いで、例外が発生したか否かを決定する為に、結果をチェックすることが可能である。例外が発生していない場合、通常の処理が再開され、一方例外が発生した場合、パイプラインを「フラッシュ」する（即ち、浮動小数点命令に続く命令に関する限り、該パイプラインの結果を破棄するか又は格納する為に）必要性無しに該演算を再実行することが可能である。然し乍ら、この手法は、データ処理システムの性能に著しく影響を与える場合がある。

目 的

本発明は、以上の点に鑑みなされたものであって、上述した如き従来技術の欠点を解消し、パイプライン型アーキテクチャにおいて精密浮動小数点例外を取り扱うことが可能な方法及び装置を提供することを目的とする。

構 成

上述した如き従来技術の欠点を解消する為に、本発明によれば、浮動小数点例外が発生するか否かを早期に「予測」することの可能な方法及びそ

(3) 該浮動小数点命令の実行期間中、実行されたか又は部分的に実行された命令の結果を、後になる迄又は捨て去るまで、保存せねばならないことを意味している。このことは、データ処理装置の「状態」を該命令によって最初に遭遇したもののへ復帰させることを必要とする。

この問題は、異なった命令が異なった実行時間を必要とする場合、即ち、或る命令が2、4又は少ない数のプロセッサ動作サイクルで実行することが可能であるのに、他の命令、特に浮動小数点命令がより多くのプロセッサ動作サイクルを完了することを必要とする場合、に悪化される。この場合、例外となる浮動小数点演算は、「手を引く」ことが一層困難である。即ち、データ処理装置の状態を、浮動小数点例外を回避する為の命令によって当初遭遇したもののへ復帰させることは一層困難である。

これらの問題に対する1つの明白な解決法は、浮動小数点演算が最初に遭遇された時に、爾後の命令の処理を停止して、浮動小数点演算のみを進

の方法を実施する装置が提供される。該予測が例外が発生することを表す場合、その他の全ての処理は一時的に停止され、且つ浮動小数点演算が進行し完了することを許容する。該演算の結果、例外となると、オペランドが調節され、且つ該演算は再度開始される。2番目の演算操作は、例外が発生しないという前提であり、従ってその他全ての処理を同時的に行うことを許容する。一方、該予測が例外が発生しないことを表している場合、通常の処理が継続して行われる。

本発明の方法によれば、浮動小数点命令に遭遇すると、該演算に関与するオペランドの指数フィールドがその演算の為の所定の基準と比較される。その比較の結果は、浮動小数点例外が発生するかしないかのいずれかの予測を発生する。その予測が、浮動小数点例外が発生するかもしれないか又は発生することを表すものである場合、その他全ての処理（浮動小数点演算を除いて）が停止され且つ該浮動小数点演算が進行し完了することを許容する。例外が実際に発生した場合、該命令を再

実行させることが可能であり（そのプログラムを形成するもののオプションで一旦動作タイプに依存して）、然し乍ら、この場合は、例外の発生を回避する為にオペランドを修正せねばならないという前提乃至は前知識が存在している。従って、例外処理ルーチンが該浮動小数点演算に先行せねばならず、且つ該浮動小数点演算は今回修正されたオペランドを使用して再実行される。この浮動小数点命令の2回目の実行は、該パイプラインの並列処理環境において行われる。何故ならば、その調整したオペランドを使用して例外が発生する可能性は最早存在しないからである。

本発明の好適実施形態においては、浮動小数点乗算（又は除算）演算において使用すべきオペランドの指数フィールドが互いに加算され（又は減算され）、且つその結果は、該演算（例えば、乗算、又は除算）の表示と共に、プログラマブルロジックアレイ、即ち書込可能論理アレイへ付与される。該プログラマブルロジックアレイは、このオペランドの指数フィールドのこの組合せによっ

算が再実行される。

実施例

本発明は、第1図において大略参照番号10で示したデータ処理システムアーキテクチャにおいて実現されており、中央プロセサユニット即ち中央処理装置（CPU）12と浮動小数点プロセサユニット（FPU）14の一对のプロセサユニットを有している。CPU12及びFPU14は、クロック（CLK）供給源16によって供給される周期的クロック信号を受け取り、且つその両方のユニットはデータバス20によってメモリシステム18へ接続されている。CPU12のみがメモリシステム18へ接続しており、この接続はアドレスバス22によってなされている。

CPU12はシステム操作に関して命令を与え、即ち、命令は、CPU12のプログラムカウンタ（PC）24によって形成されるアドレスを介してメモリ18から逐次的にアクセスされる。理解される如く、アドレスは、任意の従来技術によってアドレスバス22にマルチプレクス動作される

て発生される結果の値が、該浮動小数点演算の結果が浮動小数点例外となる蓋然性があるか又は確定になることを要する場合に、浮動小数点例外信号を発生すべくプログラム即ち書込が行われる。該浮動小数点例外信号は、その他の全ての並列処理機能を一時的に停止すべく動作し、該浮動小数点演算を進行させ完了させる。然し乍ら、該予測が例外は発生しないとするものである場合、並列処理操作（演算）は、浮動小数点例外の発生を気にせず、継続して実施することが可能である。浮動小数点加算及び減算に対する予測も同様であるが、この場合には、指数フィールドが互に相互に比較されて、例外が発生する懸念を保証する為に、該指数フィールドの一方の値が他方の値よりも著しく大きいかな否かを決定するものである点が異なっている。

例外予測がなされ、且つその演算が究極的に例外の発生となると、割込み信号が発生され、本システムを走らせているプログラムへ例外発生を知らせる。該例外が処理され、且つ該浮動小数点演

例外プログラムカウンタ（EPC）26によってメモリシステム18へ供給することも可能である。然し乍ら、各アクセスされた命令はFPU14によって検査されるが、浮動小数点演算命令のみがFPU14によって操作され、その他全ての命令はCPU12によって実行される。この特定のアーキテクチャ構成に対する理由は、以下の説明から明らかとなる。

特に第1図に示されていないことは、データ処理システム10のアーキテクチャ、特にCPU12のそれが、当該技術分野において、「パイプライン」アーキテクチャとして典型的に呼称される形態のものであるということである。このアーキテクチャは、メモリ19からアクセスされた多数の逐次的命令が同時に種々の実行状態にあることを許容する。各命令が実行状態にある間、その命令のメモリアドレスはCPU12のプログラムカウンタ（PC）キュー28内に一時的に保持される。該種々のパラメータは、実行期間中、パラメータレジスタファイル30内に保持される。

第1図に示した如く、FPU14はデータバス20へ接続されて、命令デコードユニット34及びオペランドレジスタ36において夫々命令及びオペランドを受け取る。該オペランドの指標フィールドは、信号ライン40によって、該オペランドレジスタから例外予測ユニット38へ送給される。全オペランド（指標フィールド及び小値フィールド）が浮動小数点例外ユニット42へ送給、即ち供給される。その名前が暗示する如く、例外予測ユニット38が動作して、結果的に得られる浮動小数点演算が例外となるか否かを決定する。例外となる場合には、CPU14へ送給即ち供給されるCPUBusy信号が発生される。浮動小数点例外ユニット42は、実際の計算即ち演算を実行し、且つその演算の結果、例外が発生すると、INTERRUPT信号を発生し、該信号はCPU14へ送給即ち供給される。実行されるべき特定の計算乃至は演算の表示が、オペレーションコード(OP)信号の形態で、例外予測ユニット38及び浮動小数点例外ユニット42へ送給、即ち供給される。前

ム10（即ち、CPU12又はFPU14）のレジスタ（不図示）へ又はメモリ18へ書き込まれる。

メモリ18から逐次的にアクセスされる命令は、時間の任意の時刻において、動作中のこれらの段階（I、R、A、M及び/又はW）のいずれか1つに存在することが可能である。

公知の如く、種々の命令は実行する前に必要な時間を必要とする。例えば、固定小数点演算命令は実行する前に1サイクルかかり、ロード及び格納操作は2サイクルかかり、一方浮動小数点操作（計算乃至は演算）は最大で19サイクルかかる場合がある。

究極的に例外となる浮動小数点演算の場合を考慮する。命令がメモリ18からアクセスされ且つCPU12及びFPU14の両方によって検査される。然し乍ら、該命令はFPU14によってのみ実行され、従ってI段階、R段階、及びA段階を介して進行し、その期間中、オペランドが供給られ且つ実際の延在を開始することを許容すべく

(5)

容の場合、該OP信号が動作して、オペランド指標フィールドがテストされて例外を予測する基幹を選択し、後者の場合、該OP信号は該計算即ち演算を制御する。

データ処理システム10の本実施例のパイプラインは5個の命令の長さであり、即ち最大で5個迄の命令を種々の実行段階に同時に存在させることが可能である。これらの5個の固定可能な実行段階としては以下の如きものである。

1. 命令フェッチ（I）段階で、その期間中にデコードの為にメモリ18からPC24内に収納されるアドレスを使用して命令がアクセスされる。
2. デコード及びレジスタアクセス（R）段階で、その期間中に該命令の初期的デコード動作が行われ且つ該命令によって指定される如きオペランドを収納するレジスタがアクセスされる。
3. 演算実行（A）段階で、それは例えば浮動小数点演算等の種々の演算動作を開始させる。
4. メモリ動作（M）段階、及び
5. 送達（W）段階で、該動作の結果がシステ

ムに送達される。A段階が完了すると、浮動小数点実行ユニット42を動作状態に設定し、その結果は、該操作（即ち、加算/減算又は乗算/除算）に依存して、1乃至19サイクル後に与えられる。従って、命令によって要求される特定の演算（例えば、加算、減算、乗算、又は除算）に依存して、該演算の結果が得られる迄にある期間の時間が経過する。然し乍ら、該演算が行われる間、CPU12はその他の命令にアクセスし且つそれらを「パイプライン」内に配置させ、従って、該浮動小数点命令がM実行段階に到達すると、相次ぐ命令に該命令は少なくともそれらの夫々のI、R及びA実行段階を完了する。浮動小数点演算にどれだけ時間を要したかに依存して、該命令はM段階をも完了している場合もある。

浮動小数点命令の結果が例外を発生することが判別されると、その命令は保留され且つ再実行されねばならない。然し乍ら、その浮動小数点命令に次演算する命令はどうであらうか？このパイプライン型アーキテクチャにおいて、システム10

は最後の命令の結果を一時的に格納するか、又はその全部を放棄せねばならず、一方修正したオペランドを使用して、該例外は処理され（例えば、例外を回復すべくオペランドを回復）且つ該浮動小数点命令を再実行する。勿論、問題は、これらの技術は、システムにかなりの時間のローディングを与えるか、又は該システムに付加すべき付加的な且つ複雑な回路を必要とするかのいずれかである。

本発明は、例外を捕らえることが可能であるか否かを前以て予測することに関するものである。従って、演算実行状態Aの完了時であるが演算が実際に開始される前に、予測がなされて、例外が実際に発生することが可能であるかどうかを決定する。

本発明において、浮動小数点操作（計算、演算）は単精度（単精度オペランドを使用）か又は倍精度（倍精度オペランドを使用）とすることが可能である。単精度オペランドは32ビット長であり、最大桁（MSB）は符号を形成し、次の8個のM

における乗算操作）に対して、浮動小数点例外が発生する可能性があるか又は発生する指微フィールド値を表している。点線50（50a-50d）に沿って存在するこれらの指微フィールド値は、その画面の対応する操作の期間中に例外が発生する可能性のある予測を表す。

第2A図乃至第2D図を観察する1つの方法は、それらは、浮動小数点操作（即ち、乗算、除算、加算、減算、又は単項）の各々に対して、それに対して指微フィールドの組合せを比較する実行すべき操作によって選択される基準を表す。

第2A図及び第2B図に表した基準と比較する前に、浮動小数点乗算用のオペランド指微フィールドは共に加算され、且つ浮動小数点除算用のオペランド指微フィールドは互いに減算される。従って、例えば、浮動小数点乗算命令が、「100」及び「110」の指微フィールドを持ったオペランドを使用して、実行されると、実行すべき操作（乗算）の表示を具するそれらの和（「1010」）は、その演算が浮動小数点例外となる予測

SBが指微フィールドを形成し、且つ残りの23個のビットは該オペランドの指微フィールドを形成する。倍精度の場合、該MSBは、この場合も、符号を形成するが、次の11個のMSBが指微フィールドを形成し、且つ残りの52個のビットは、全部で64個のビットに対しての指微フィールドを形成する。総し乍ら、本発明は、オペランドの寸法に必ずしも依存するものではない。従って、簡単化のために、オペランドは既に3個のビットの指微フィールドを持つものと仮定する。第2A図乃至第2D図を参照すると、相互のオペランドの指微フィールドのプロットを、乗算、除算、加算/減算、又は単項計算/演算に対して例示してある。（単項操作は、例えば、補数化操作、インクリメント操作、絶対値操作等の単に1つのオペランドのみが関与する操作である。）

第2A図乃至第2C図は、浮動小数点計算の2個のオペランドに対する指微フィールドの矩形カーチアン座標プロットである。該座標におけるx印は、そのプロットの操作（例えば、第2A図

を発生させる。

浮動小数点加算又は減算の場合、オペランド指微フィールドが相互に比較されて、第2C図に示した基準によって表される如く、一方が他方よりも一回大きいかな否かを決定する。単項操作は、単に、それが第2D図に示した例外を発生する可能性のある基準内に入るものかな否かを決定する為にオペランドの指微フィールドを見ることを必要とするに過ぎない。

例外予測ユニット38は、第3図に詳細に示してある。図示した如く、オペランド指微フィールド（E₁, E₂）は、プログラマブルロジックアレイ（PLA）50によってオペランドレジスタ36から受け取られる。PLA50は、命令デコードユニット34からもOP信号を受け取り、動作して、第2C図に示した基準に従って、加算及び減算操作（演算）に対しての例外を予測する。PLA50の出力端子（O）は、2入力ORゲート54を介して例外予測ラッチ回路52へ結合されている。例外予測ラッチ回路52は、CPBusy信号

を発生し、それはCPU14へ供給、即ち供給される。

オペランド指定フィールド(E₁, E₂)は、乗算及び除算動作に対しては、加算又は減算動作に因して上述したものとは多少異なった経路で処理される。乗算又は除算演算において使用されるべきオペランドは、加算回路60へ供給即ち供給され、そこで該オペランドは、OP信号が夫々乗算又は除算動作を要するか否かに依存して、共に加算されるか、又は相互に減算される。その結果は、PLA62へ供給され、該PLA62が動作してその結果を、命令デコード回路34(第1図)からPLA62によって受け取られたOP信号によって設定されるか又は選択される基準(第2A図、第2B図)と比較する。PLA62の出力(O)はORゲート54の2つの入力端の他方で受け取られ、従って、該選択した基準及び該指定フィールドの組合せの結果が、PLA62によって決定される如く、例外を表す場合、CPBusy信号はアクティブ即ち活性状態となる。処理される如く、以

12とFPU14の両方によって検査されるが、上述した如く、FPU14のみがその命令を処理する。FPU14が、I段階乃至R段階を介してその浮動小数点命令を処理した後、従って、A段階に到達した時、データ処理システム10は、R実行段階に到達する1つの命令(この例の浮動小数点命令の直ぐ後に続くもの)を持っており、且つI段階に対して別のものにアクセスする。

浮動小数点命令のA実行段階期間中、その命令に対するオペランドの指定フィールド(E₁及びE₂)はFPU14(第1図)の例外予測ユニット38へ供給される。演算が乗算又は除算命令である場合、OP信号が動作して、(1)加算回路60の加算又は減算機能を選択し、(2)PLA62を介して加算回路60によって発生される結果と比較すべき基準を選択し、且つ(3)PLA62の出力(O)をイネーブルさせる一方、同時にPLA50の出力(O)を禁止する。逆に、実行されるべき演算が加算又は減算動作である場合、PLA62の出力がディセーブルされ、且つPLA50

(7) 下の説明から明らかと成る理由により、CPBusy信号が動作して、浮動小数点演算の完了まで、CPU14を一時的に待機状態に保持する。

動作に因して説明すると、CPU12は、PC24によって供給されるアドレスを使用して(第1図)、メモリシステム18のアクセスを行う(通常のデータ処理動作において通常の如く、命令及びオペランドに対して、又はデータを格納する為)。各アクセスされた命令はCPU12及びFPU14の両方へ送給されるが、FPU14のみが浮動小数点命令を認識し且つ実行し、その他の全ての命令はCPU12によって実行される。各命令は、上述した5つのデコード段階(ステージ)、即ちI、R、A、M及びW段階を介して進行する。従って、任意の時間において、システム10内の個々の実行段階には5つの命令が存在する。

このデータ処理システム10の動作期間中に、メモリシステム10から浮動小数点命令がアクセスされたと仮定する。その命令は、最初、CPU

の出力がイネーブルされて、PLA50の結果を例外ラッチ52へ通過させる(ORゲート54を介して)。

浮動小数点命令のA実行段階の終わりに、例外予測が得られる。その予測が、浮動小数点演算が例外とされないものである場合、CPBusy信号ラインは不活性状態のままであり、CPU12はその動作を繼續し、且つ浮動小数点実行はその演算を完了する。

更にもっと興味のあることは、PLA50又は62の一方が(勿論、演算に依存して)例外が発生することを予測する場合である。その予測は、CPBusy信号を活性化させ、それは、例外ラッチ回路52(第3図)からCPU12へ送給される場合、CPU12のいかなる操作も一時的に停止させる。しばらくの間、メモリシステム18に対してその後のアクセスがされることはなく、浮動小数点命令に次属する2つの命令の実行が中止状態に保持され、それらは夫々のI及びR実行段階に留まる。総し乍ら、浮動小数点命令は進行して完

了し、浮動小数点実行ユニット42(第1図)は、該浮動小数点命令によって要求される演算(例えば、加算、減算、乗算等)の演算の実行を継続する。

該演算の完了時に、予測された如くに浮動小数点例外が発生すると、浮動小数点実行ユニット42がINTERRUPT信号を活性化させる。該INTERRUPT信号は、FPU14からCPU12へ送達され、浮動小数点例外が発生したということを知りながら、CPU12をその一時的に停止された状態から活性状態とさせる。該例外の処理は、その例外を処理する為に必要なステップを実行する為のソフトウェア、更に正確にはプログラマーによって行われる。

INTERRUPT信号がCPU12によって受け取られた時に、該インタラプト即ち割込みを発生させる浮動小数点命令のアドレスは、PCキュー28からEPC26へ移動される。現在EPC26内にあるアドレスを使用してメモリシステム189をアクセスして、浮動小数点命令の対照であるオ

ペランドの指紋フィールドの照合せを実行されるべき演算から形成される所定の基準と比較し、前記演算の実行が浮動小数点例外を発生する可能性のあることを表す例外予測信号を発生する、上記各ステップを有することを特徴とする方法。

(2) 上記第(1)項において、前記データ処理システムが、該演算の命令が種々の実行段階にあるパイプライン形態で命令を実行すべく動作可能なタイプであり、且つ、前記浮動小数点演算の完了迄全てのその他の動作を一時的に停止することによって前記予測信号の発生にตอบสนองするステップを有することを特徴とするデータ処理システム。

(3) 上記第(2)項において、浮動小数点例外が発生する場合に前記浮動小数点演算の完了時に割込み信号を発生し、前記浮動小数点例外を処理し、前記浮動小数点命令の直ぐ後に続く次の命令の実行の為にアクセスすることによってその他の全ての動作を再開させる、上記各ステップを有することを特徴とするデータ処理システム。

(4) プロセッサユニットの1つが各々が指紋

ペランドの位置(システム10内)を決定する。INTERRUPT信号の発生の源泉としてエンターされるソフトウェアルーチンは、ここで本発明の一部である幾つかの公知の技術のいずれかを使用して、オペランドにとって必要な修正を行う。該ソフトウェアの最後の部分がPC24の内容を、浮動小数点命令の直ぐ後に続く命令のアドレスへ設定し、且つ本システムの制御をその通常の動作状態へ復帰させる。従って、システム10は、以前の如くに進行し、目的したオペランドでもって浮動小数点命令を実行し、且つ次順の命令にアクセスしてそれらを実行する為にパイプライン内に配置させる。

尚、本発明は、実施上の以下の構成の1つ又はそれ以上を取りえるものである。

(1) 各々が指紋フィールドと小紋フィールドとを保持している少なくとも第1及び第2オペランドに因して浮動小数点演算を行うことが可能なタイプのデータ処理システムにおける浮動小数点例外を予測する方法において、前記第1及び第2

フィールドと小紋フィールドとを保持している第1及び第2オペランドに因して浮動小数点演算を実行すべく動作可能であり且つ他のプロセッサユニットが前記1つのプロセッサユニットにより実行される浮動小数点演算と並列的に他のデータ処理作業を実行すべく動作可能である少なくとも一対のプロセッサユニットを持ったタイプのデータ処理システムにおける浮動小数点演算例外を予測する方法において、前記1つのプロセッサユニットによって実行されるべき浮動小数点演算の各異なったタイプに対して浮動小数点例外発生基準を形成し、前記第1及び第2オペランドの指紋フィールドの照合せを実行されるべき浮動小数点演算に対しての基準と比較し、使用した基準に従って前記比較ステップが例外が発生する可能性を表す場合に浮動小数点例外予測信号を発生し、前記浮動小数点例外予測信号の存在にตอบสนองして前記他方のプロセッサユニットの動作を一時的に停止させる、上記各ステップを有することを特徴とする方法。

(5) 上記第(4)項において、前記演算の完了

(9)

により浮動小数点例外が発生した場合に割込み信号を発生し、前記割込み信号に反応してその他のプロセサユニットの動作を再開させて前記例外を発生させる浮動小数点オペランドを部分的に再開することによって前記浮動小数点例外を処理し、且つ前記再開した浮動小数点オペランドで前記浮動小数点演算を再実行する、上記各ステップを有することを特徴とする方法。

(6) 処理装置が各オペランドが指紋フィールドと小値フィールドとを保持している少なくとも2つのオペランドが同身する浮動小数点演算を実行する為の浮動小数点命令に反応して動作可能な演算装置を具備しており命令が順次的にデコードされ且つ実行されるパイプライン型アーキテクチャを持ったタイプのデータ処理システムにおける浮動小数点加算、減算、乗算、及び除算演算に対する浮動小数点例外を予測する装置において、前記2つのオペランドの指紋フィールドを前記オペランドに関して実行されるべき浮動小数点演算によって決定される基準と比較してそれから浮動

外発生の蓋然性を表す場合に第1信号を発生する第1回路手段、前記第1及び第2オペランドの指紋フィールドの組合せを浮動小数点乗算及び除算演算用の第2所定基準と比較し且つ前記比較が浮動小数点例外発生の蓋然性を表す場合に第2信号を発生する第2回路手段、前記第1又は第2信号が存在する場合に浮動小数点例外予測信号を供給する発生手段、を有しており、且つ前記他のプロセサユニットが前記浮動小数点例外予測信号の発生及びその期間中に反応して動作を停止する手段を有していることを特徴とする装置。

(8) 上記第(7)項において、前記演算が浮動小数点例外となった時に前記浮動小数点演算の完了時に割込み信号を発生させる手段、及び前記例外を処理する手段、を有することを特徴とするデータ処理システム。

(9) 上記第(9)項において、前記例外を処理する手段が、前記オペランドを再開する手段、及び前記再開したオペランドを使用して浮動小数点演算を再開するその他のプロセサユニットの操作

を再開させる手段、を有することを特徴とする装置。

小値点例外の発生する蓋然性を表す予測信号を発生する手段、前記予測信号に反応して前記浮動小数点演算の完了迄前記データ処理システムの動作を停止させる手段、浮動小数点例外が発生した時に前記演算の完了時に割込み信号を発生する手段、前記浮動小数点例外を取り扱い且つ前記浮動小数点命令の再実行と共に前記データ処理システムの動作を再開させる手段、を有することを特徴とする装置。

(7) 1つのプロセサユニットは各々が指紋フィールドと小値フィールドとを持った第1及び第2オペランドに関して浮動小数点演算を実行すべく動作可能であり他のプロセサユニットが浮動小数点演算と並列して他のデータ処理作業を実行すべく動作可能である少なくとも一対のプロセサユニットを持ったタイプのデータ処理システムにおける浮動小数点演算例外を取り扱う装置において、前記1つのプロセサユニットが、前記浮動小数点オペランドを加算、減算及び乗算演算用の第1所定基準と比較し且つ前記比較が浮動小数点例

を再開させる手段、を有することを特徴とするデータ処理システム。

以上、本発明の具体的な実施の形態について詳細に説明したが、本発明はこれら具体例にのみ限定されるべきものではなく、本発明の技術的範囲を逸脱すること無しに種々の変形が可能であることは勿論である。

4. 図面の簡単な説明

第1図は本発明の方法及び装置を包含して構成されており浮動小数点演算を実行可能なデータ処理システムを示した概略図、第2A図乃至第2D図は乗算、除算、加算/減算、及び乗算浮動小数点操作に対しての可能な例外発生状態のプロットを示した各説明図、第3図は例外予測回路を形成する為に使用される装置を示した概略図、である。

(符号の説明)

- 10: データ処理システム
- 12: CPU
- 14: 浮動小数点プロセサユニット (FPU)
- 16: クロック供給部

図面の浄書(内容に変更なし)

- 18 : メモリシステム
 20 : データバス
 22 : アドレスバス
 24 : プログラムカウンタ
 26 : 例外プログラムカウンタ
 28 : プログラムカウンタキュー
 30 : パラメータレジスタファイル
 34 : 命令デコードユニット
 38 : 例外予測ユニット
 40 : 信号ライン
 42 : 浮動小数点実行ユニット
 50 : PLA
 52 : 例外予測ラッチ回路
 60 : 加算回路

特許出願人

ミッブス コンピュータ
システムズ, インコーポ
レイテッド

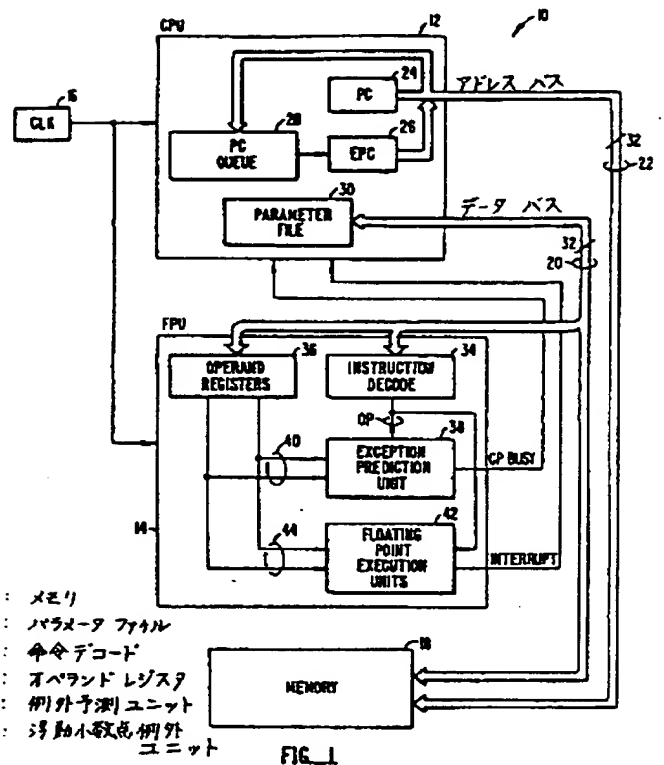


FIG. 1

	111	110	101	100	011	010	001	000
111	X	X	X	X	X	X	X	X
110	X	X	X	X	X	X	X	X
101	X	X	X	X	X	X	X	X
100	X	X	X	X	X	X	X	X
011	X	X	X	X	X	X	X	X
010	X	X	X	X	X	X	X	X
001	X	X	X	X	X	X	X	X
000	X	X	X	X	X	X	X	X

乗算用例外発生可能オペランド

FIG. 2A.

	111	110	101	100	011	010	001	000
111	X	X	X	X	X	X	X	X
110	X	X	X	X	X	X	X	X
101	X	X	X	X	X	X	X	X
100	X	X	X	X	X	X	X	X
011	X	X	X	X	X	X	X	X
010	X	X	X	X	X	X	X	X
001	X	X	X	X	X	X	X	X
000	X	X	X	X	X	X	X	X

除算用例外発生可能オペランド

FIG. 2B.

	111	110	101	100	011	010	001	000
111	X	X	X	X	X	X	X	X
110	X	X	X	X	X	X	X	X
101	X	X	X	X	X	X	X	X
100	X	X	X	X	X	X	X	X
011	X	X	X	X	X	X	X	X
010	X	X	X	X	X	X	X	X
001	X	X	X	X	X	X	X	X
000	X	X	X	X	X	X	X	X

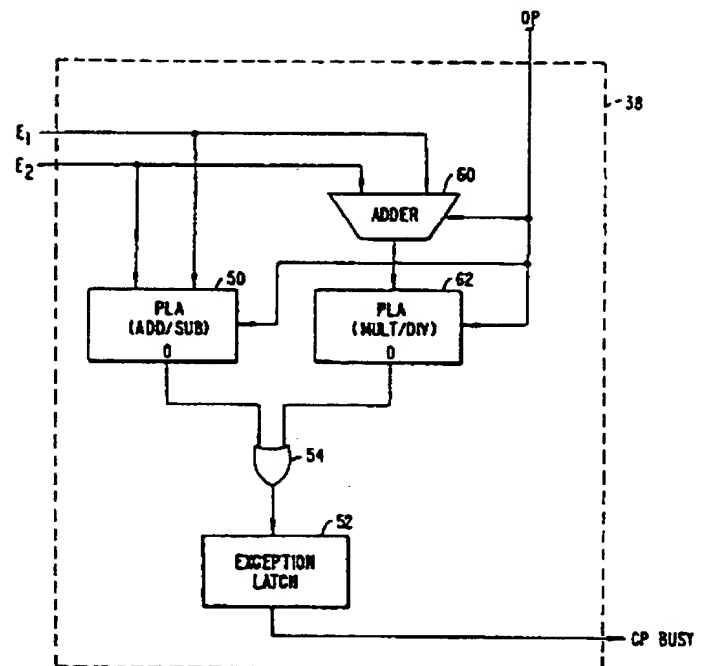
加算/減算用例外発生可能オペランド

FIG. 2C.

	111	110	101	100	011	010	001	000
111	X	X	X	X	X	X	X	X
110	X	X	X	X	X	X	X	X
101	X	X	X	X	X	X	X	X
100	X	X	X	X	X	X	X	X
011	X	X	X	X	X	X	X	X
010	X	X	X	X	X	X	X	X
001	X	X	X	X	X	X	X	X
000	X	X	X	X	X	X	X	X

単項操作用例外発生可能オペランド

FIG. 2D.



52: 例外ラッチ

60: 加算器

FIG. 3.

手続補正書 (方式)

平成元年6月23日

特許庁長官 吉田文毅殿

1. 事件の表示 平成1年特許願第45523号

2. 発明の名称 精密浮動小数点例外用の方法及び装置

3. 補正をする者

事件との関係 特許出願人

名称 ミップス コンピュータ システムズ,
インコーポレイテッド

4. 代理人

住所 東京都港区虎ノ門1丁目17番1号
第5森ビル (電話502-2626)氏名 小橋 国 際 特 許 事 務 所
(5779) 井理士 小 橋 一 男
(他1名)男小橋
一男
印

5. 補正命令の日付

平成1年5月15日 (平成1年5月30日発送)

6. 補正の対象

- ① 願 書 (特許出願人代表者補充)
- ② 委任状 (訳文付)
- ③ 図 面 (内容に変更なし)

7. 補正の内容

別紙の通り

万
事
在
心

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ ~~FADED~~ TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.